

# 13015 计算机系统原理

## 第五章 课后习题 计算题讲解(部分)

讲师/公众号：**小飞学长Pro**

5. 假设一个程序重复完成将磁盘上一个 4 KB 的数据块读出，进行相应处理后，写回到磁盘的另外一个数据区。各数据块内信息在磁盘上连续存放，数据块随机位于磁盘的一个磁道上。磁盘转速为每分钟 7200 转，平均寻道时间为 10 ms，磁盘最大内部数据传输率为 40 MB/s，磁盘控制器的开销为 2 ms，没有其他程序使用磁盘和处理器，并且磁盘读/写操作和磁盘数据的处理时间不重叠。若程序对磁盘数据的处理需要 20000 个时钟周期，处理器时钟频率为 500 MHz，则该程序完成一次数据块“读出—处理—写回”操作所需的时间为多少？每秒钟可以完成多少次这样的数据块操作？

**解析：**

前置知识：

① 磁盘存储器的平均存取时间主要包括\_\_**寻道时间**\_\_、\_\_**旋转等待时间**\_\_和\_\_**数据传输时间**\_\_三个部分

② 平均旋转延迟(**旋转等待时间**) = 旋转**半圈**的时间

由题目可知：平均**寻道时间**时间为10ms，没有**旋转等待时间**和**数据传输时间**，求这两个时间

(1) 计算**旋转等待时间**

磁盘转速为每分钟7200转，那么每秒转数为 $7200 \div 60 = 120$ 转，转一圈的时间： $1 \div 120 = 8.33$ ms，转半圈的时间： $8.33 \div 2 = 4.17$ ms

(2) 计算**数据传输时间**

数据块大小为4KB，磁盘最大内部数据传输率为40MB/s，可得数据传输时间= $4\text{KB} / 40\text{MB/s} = 0.1$ ms

## 解析:

前置知识:

- ① 磁盘存储器的平均存取时间主要包括\_\_寻道时间\_\_、\_\_旋转等待时间\_\_和\_\_数据传输时间\_\_三个部分
- ② 平均旋转延迟(旋转等待时间) = 旋转半圈的时间

(3) 计算一次磁盘读/写操作时间 (磁盘控制器的开销是2ms)

$$\text{寻道时间} + \text{旋转等待时间} + \text{数据传输时间} + \text{磁盘控制器的开销} = 10 + 4.17 + 0.1 + 2 = 16.27\text{ms}$$

(4) 计算数据处理时间 (处理器时钟频率为500MHz, 即每秒 $500 \times 10^6$ 个时钟周期)

$$\text{时间} = \text{时钟周期数} / \text{时钟频率} = 20000 / 500\text{MHz} = 20000 / (500 \times 10^6) = 0.04\text{ms}$$

(5) 计算该程序完成一次数据块“读出 - 处理 - 写回”操作所需的时间

$$\text{总时间} = \text{读时间} + \text{处理时间} + \text{写时间} = 16.27 + 0.04 + 16.27 = 32.58\text{ms}$$

(6) 计算每秒钟可以完成这样的数据块操作次数

$$\text{总操作次数} = 1000 / 32.58 = 30.69\text{次}$$

6. 现代计算机中，SRAM 一般用于实现快速小容量的 cache，而 DRAM 用于实现慢速大容量的主存。以前超级计算机通常不提供 cache，而是用 SRAM 来实现主存（如 Cray 巨型机），请问：如果不考虑成本，你还这样设计高性能计算机吗？为什么？

**解析：**

不会。

其理由主要有以下两个方面：

- ① 主存越大越好，主存大，缺页率降低，因而减少了访问磁盘所需的时间。DRAM 芯片的集成度比 SRAM 芯片高得多，因而用 DRAM 芯片比用 SRAM 芯片构成的主存容量大得多。
- ② 程序访问的局部性特点使得 cache 的命中率很高，因而 CPU 访问的主要是 cache，对主存的访问不多，而且现代 DRAM 芯片中也有 SRAM 构成的高速缓存区。因此即使主存没有用快速的 SRAM 芯片而用 DRAM 芯片，也不会对存储访问速度有多大影响。

8. 假设某计算机主存地址空间大小为1GB, 按字节编址, cache的数据区(即不包括标记、有效位等存储区)有64KB, 块大小为32B, 采用直接映射和通写(Write-Through)方式。回答下列问题。

(1) 主存地址多少位? 如何划分? 要求说明每个字段的含义、位数和在主存地址中的位置。

(2) cache的总容量为多少位?

**解析:**

(1) ① **确定主存地址位数**, 主存空间大小为**1GB**, 所以 $\log_2(1 \times 1024 \times 1024 \times 1024) =$ **30位**

② **确定块内地址位数**, 主存块大小为**32B**, 所以 $\log_2 32 =$ **5位**

③ **确定cache行号位数**, cache数据区大小为**64KB**, 主存块大小为**32B**, 所以 $64\text{KB}/32\text{B} =$ **2048行**, 所以 $\log_2 2048 =$ **11位**

④ **确定标记位数**; ①-②-③ = **14位**

综上所述, 主存地址共有以下三个字段: 高14位为**标记**, 中间11位为**cache行号**, 低5位为**块内地址**

(2) 每个cache行除用于存放**主存块**外, 还有有效位、标记以及修改位和使用位(如LRU位) **等控制位**。

由题可知采用**直接映射**和**通写**方式, 所以无需**使用位**和**修改位**, 那就剩下**有效位**和**标记**了

即: 每个cache行中包含**1位有效位**、**14位标记位**和**32B的数据**

因此, cache总容量为  $2048 \times (1 + 14 + 32 \times 8) \text{b} = 555008$  位。

9. 假设某计算机的 cache 共 16 行，开始为空，主存块大小为 1 个字，采用直接映射方式，按字编址。CPU 执行某程序时，依次访问以下地址序列：2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6 和 11。回答下列问题。

(1) 访问上述地址序列得到的命中率是多少？

(2) 若 cache 数据区容量不变，而块大小改为 4 个字，则上述地址序列的命中情况又如何？

**解析：**

因为主存块大小是1个字，所以每个块只包含一个字，也就是说每个地址对应一个唯一的块（直接映射）

这里的地址是按字编址的，所以每个地址对应一个不同的块。

这里块大小是1字，主存块号 = 地址 / 1，所以：主存块号 = 地址

得到映射公式为：cache行号 = 主存块号 mod cache行(16)。只有一次命中！

命中率为 $1/16=6.25\%$

地址序列	2	3	11	16	21	13	64	48	19	11	3	22	4	27	6	11
主存块号	2	3	11	16	21	13	64	48	19	11	3	22	4	27	6	11
cache行号	2	3	11	0	5	13	0	0	3	11	3	6	4	11	6	11
命中	×	×	×	×	×	×	×	×	×	✓	×	×	×	×	×	×

9. 假设某计算机的 cache 共 16 行，开始为空，主存块大小为 1 个字，采用直接映射方式，按字编址。CPU 执行某程序时，依次访问以下地址序列：2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6 和 11。回答下列问题。

(1) 访问上述地址序列得到的命中率是多少？

(2) 若 cache 数据区容量不变，而块大小改为 4 个字，则上述地址序列的命中情况又如何？

**解析：**

(2) 数据块大小改为 4 个字，cache 最多能存放 16 个字 ( $16 \times 1$ ) 的数据，因此 cache 行 =  $16/4 = 4$  行；

每个主存块对应 4 个字，所以，主存块号 = 地址 / 4，cache 行号 = 主存块号 mod cache 行(4)。

共命中 4 次，命中率为  $4/16 = 25\%$ 。

数据块变大后，命中率提高了，其原因在于块变大后空间局部性得到更大发挥。

地址序列	2	3	11	16	21	13	64	48	19	11	3	22	4	27	6	11
主存块号	0	0	2	4	5	3	16	12	4	2	0	5	1	6	1	2
cache 行号	0	0	2	0	1	3	0	0	0	2	0	1	1	2	1	2
命中	×	✓	×	×	×	×	×	×	×	✓	×	✓	×	×	✓	×

14. 假设某计算机的主存地址空间大小为 64 MB，按字节编址。其 cache 数据区容量为 4 KB，采用 4 路组相联映射、LRU 替换算法和回写（Write Back）策略，块大小为 64 B。请问：

(1) 主存地址字段如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。

(2) 该 cache 的总容量有多少位？

(3) 假设 cache 初始为空，CPU 依次从 0 号地址单元顺序访问到 4344 号单元，重复按此序列共访问 16 次。若 cache 命中时间为 1 个时钟周期，缺失损失为 10 个时钟周期，则 CPU 访存的平均时间为多少时钟周期？

**解析：**

(1) ① 确定**主存地址**位数，主存空间大小为**64MB**，所以 $\log_2(64 \times 1024 \times 1024) =$ **26位**

② 确定**块内地址**位数，主存块大小为**64B**，所以 $\log_2 64 =$ **6位**

③ 确定**cache组号**位数，cache数据区大小为**4KB**，主存块大小为**64B**，所以 $4KB/64B=64$ 行，**4路组相联**，所以有 $64/4=16$ 组， $\log_2 16 =$ **4位**

④ 确定**标记**位数；①-②-③ = **16位**

综上所述，主存地址共有以下三个字段：高16位为**标记**，中间4位为**cache组号**，低6位为**块内地址**

(2) 每个cache行除用于存放**主存块**外，还有有效位、标记以及修改位和使用位（如LRU位）等控制位。

由题可知采用**回写策略**，所以要有**1位修改位**；因为每组有4行，所以每行有**两位**LRU使用位（ $2^2=4$ ），那就剩下有**效位和标记**了，即：每个cache行中包含16位标记位、1位有效位、1位**修改位**、2位使用位和64B的数据

因此**cache总容量**为 $64 \times (16+1+1+2+64 \times 8) = 34048$  位。

16. 已知 cache 1 采用直接映射方式，共 16 行，块大小为 1 个字，缺失损失为 8 个时钟周期；cache 2 也采用直接映射方式，共 4 行，块大小为 4 个字，缺失损失为 11 个时钟周期。假定开始时 cache 为空，采用字编址方式。要求找出一个访问地址序列，使得 cache 2 具有更低的缺失率，但总的缺失损失反而比 cache 1 大。

**解析：**

假设cache1和cache2的缺失次数分别为x和y

根据题意，cache2总的缺失损失反而比cache1大，可得： $11y > 8x$

例如， $x=4$ ， $y=3$ ，带入上式： $11 \times 3 > 8 \times 4$ ，即： $33 > 32$ ，满足题目要求

对于以下访问地址序列：**0, 1, 4, 8**，cache1缺失4次，而cache2缺失3次；

对于cache1：因为块大小为1个字，每次访问不同地址都缺失

对于cache2：因为块大小为4个字，第一次访问0时缺失，加载0-3 这4个字，再次访问1就命中

地址序列	0	1	4	8
cache1	×	×	×	×
cache2	×	√	×	×

谢谢大家